高速エミュレーション環境HESとWindows/Linux上のソフトウェア検証環境との接続

アルデック・ジャパン株式会社

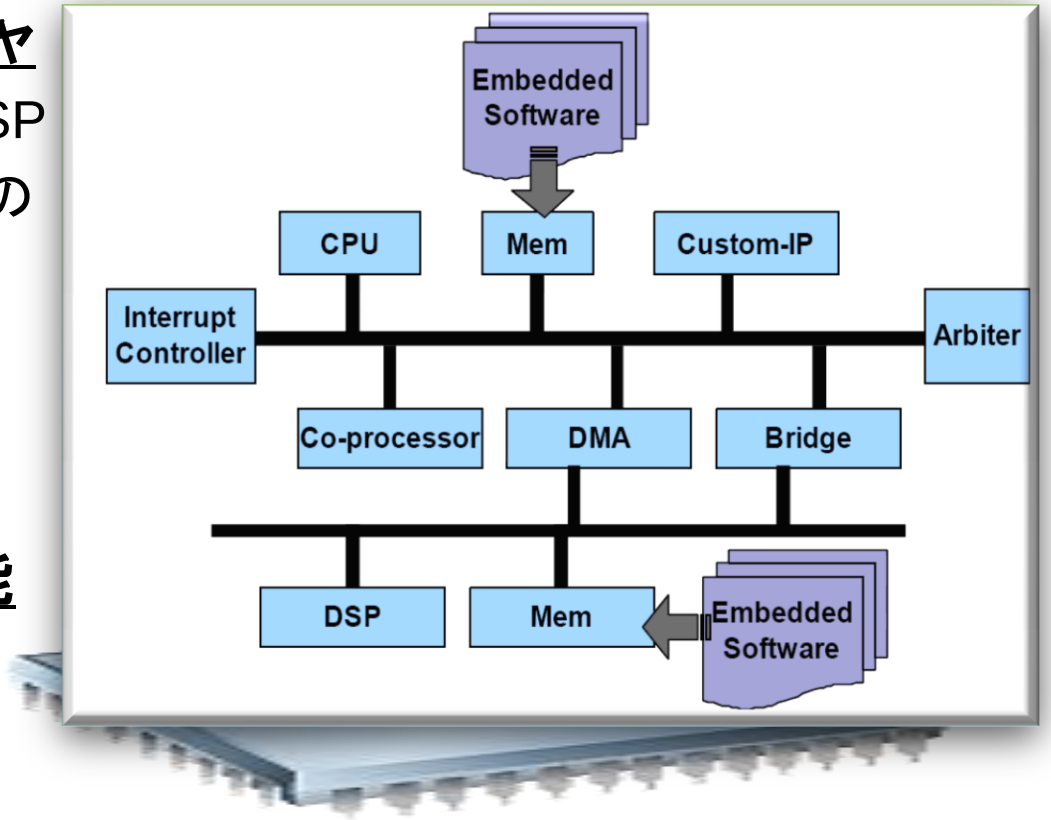
Verify 2011 講演資料

アジェンダ

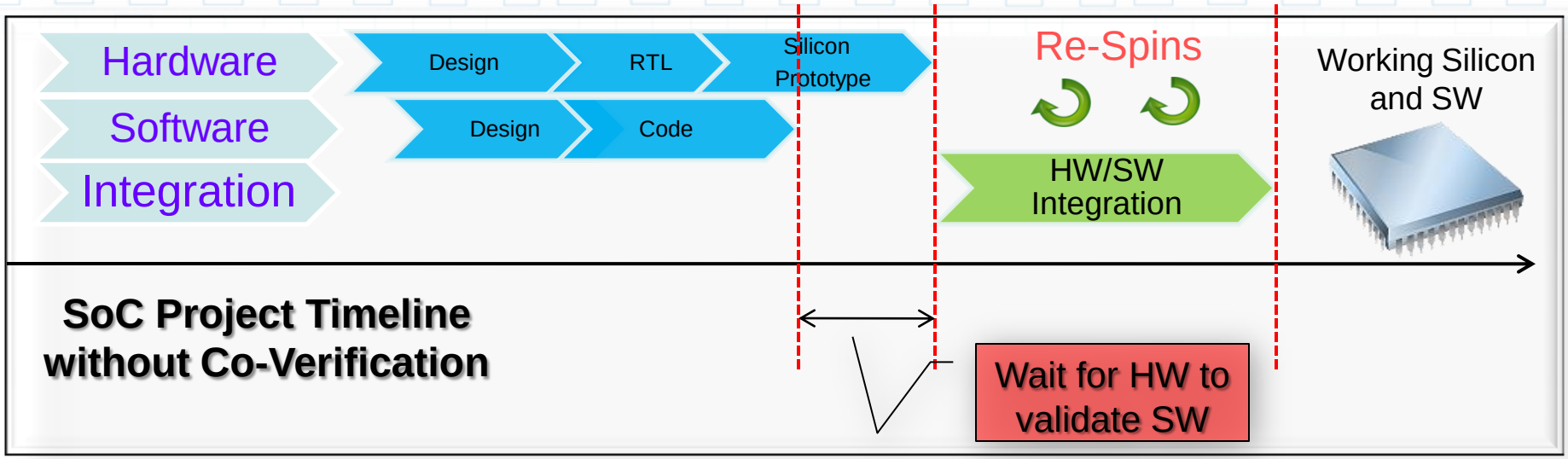
- 今日の複雑化するSoC
- SoCプロジェクトの時間軸
- HW/SW協調検証とは？
- HW/SW協調検証の目的と利点
- 組み込みソフトウェアと
  検証のアプローチ
- SCE-MIによるトランザクション・レベルの
  エミュレーション
- デモンストレーション
- まとめ

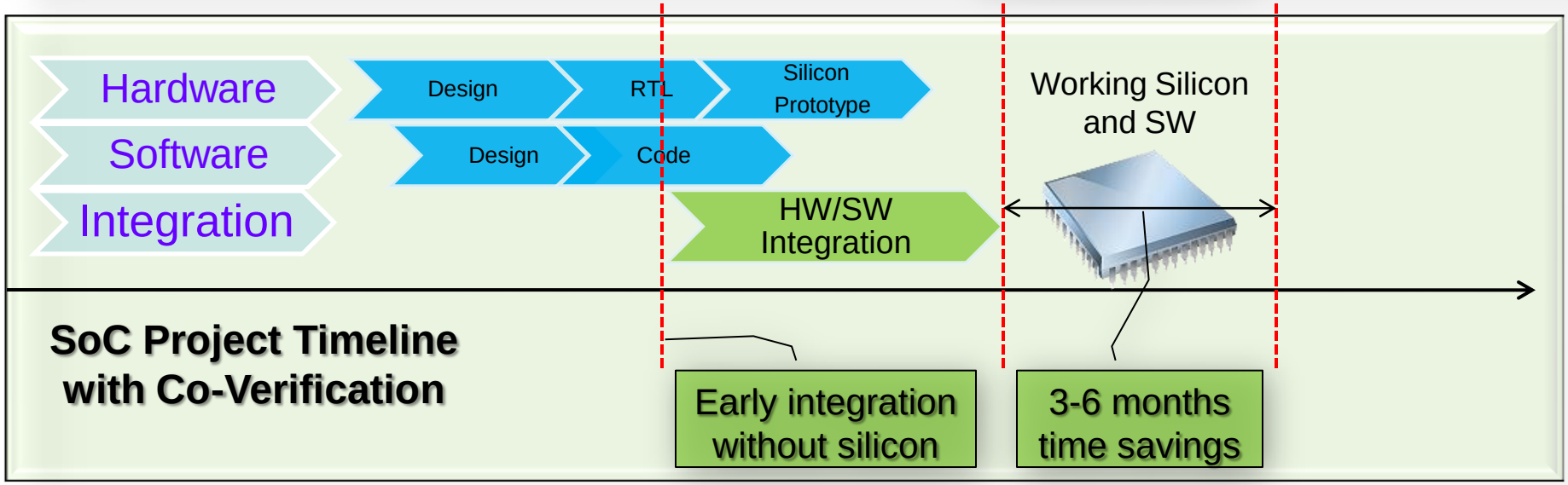
今日の複雑化するSoC

- **ハードウェア・アーキテクチャ**
  - 複数のプロセッサとGPU、DSP
  - 複雑、階層的、アービタ方式のバス: AMBA AHB, AXI
  - 複数のマスターとスレーブ
  - 3rdパーティおよびレガシーIP
- **カスタムで開発したIP－ユニークなプロダクトの機能**
  - 組み込みソフトウエア
  - デバイス・ドライバ
  - OS, RTOS
  - ターゲット・アプリケーション



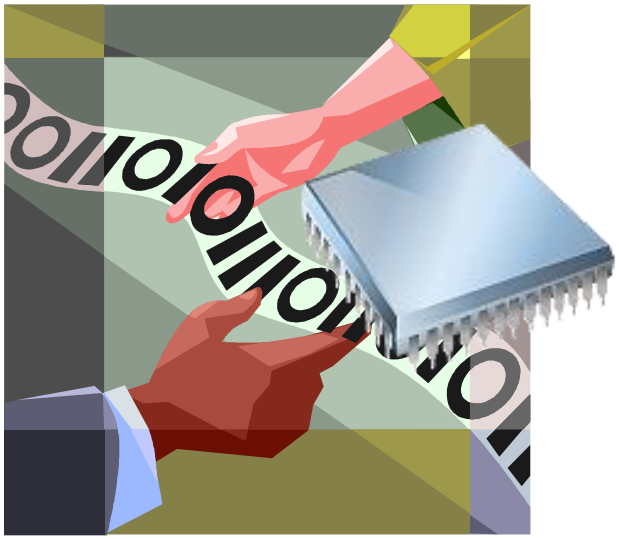
SoCプロジェクトの時間軸





HW/SW協調検証とは？

- デザインが完成する前にハードウェア上で組み込みソフトウェアの実行が正しいことを検証する
- 最終的なボードやチップではなく、ハードウェアが表現されたなにかでソフトウェアを実行
- ソフトウェアのソースコード・デバッガが使用可能
- 波形表示などのハードウェア・デバッガが使用可能



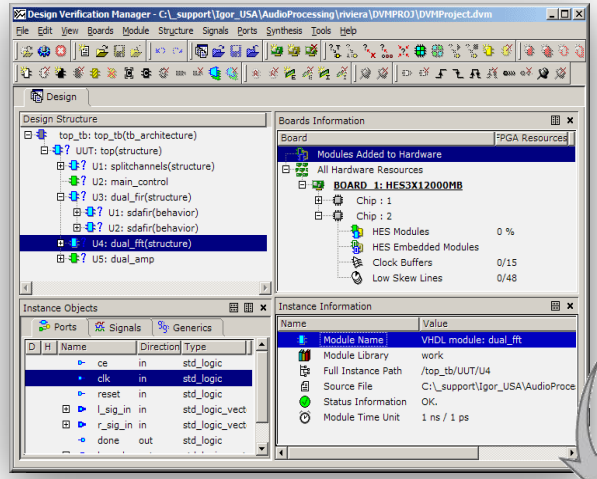
HW/SW協調検証の目的

- 実際のシリコンでのプロトタイプ無しで、同時にハードウェアとソフトウェアのデバッグとテストを可能にする
- RTLコードのフリーズ前にシリコン精度と同等な環境でソフトウェアを開発する
  - テープアウトの前にチップを修正できる可能性がある（むしろソフトウェアのバグの場合もある）
  - “土壇場”でのハードウェア／ソフトウェアの分割を決めることができる
- “生きた”データで早期にソフトウェアをテストする
- ソフトウエアをトレースして、シミュレーションのような便利なデバッグ環境でハードウェアの問題を発見
- ハードウェアをトレースして、ソフトウェアの問題を発見
  - ハードウェアのデバッグ環境はこのような問題を理解するのに役立つ

HW/SW協調検証の利点

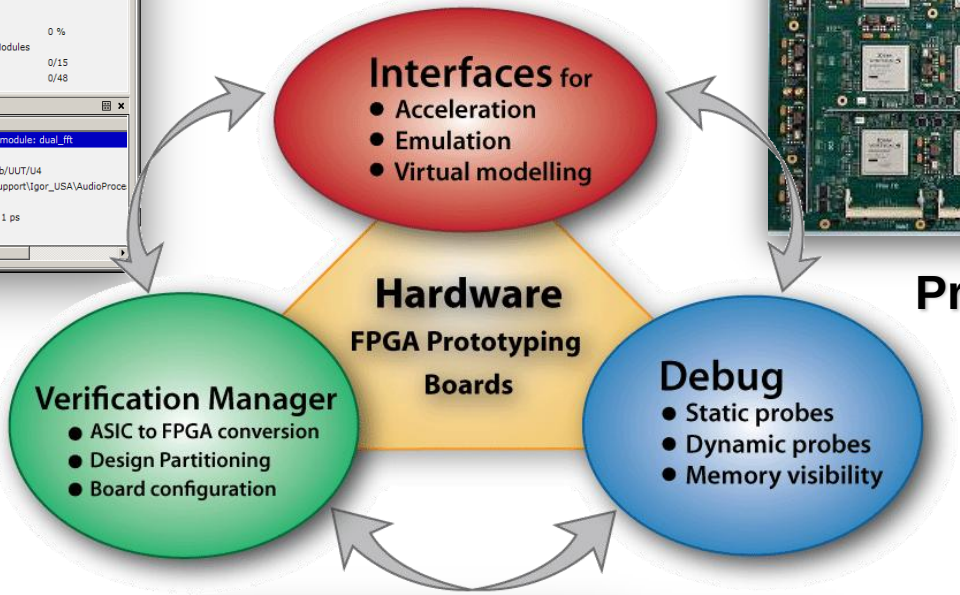
- ソフトウェア・サイドーソフトウェア・エンジニアが早期にハードウェア・デザインにアクセスできる
- ハードウェア・サイドーハードウェア・デザインに追加のステミュラスを与えることができる
- **<u>観測性！</u>**
- 以下のような問題を発見
  - レジスタ・マップの相違
  - ブート・コードの問題
  - DMAコントローラのプログラミング・エラー
  - RTOSのブートおよびコンフィグレーション・エラー
  - バスのパイプラインの問題
  - キャッシュ・コヒーレンシの事故

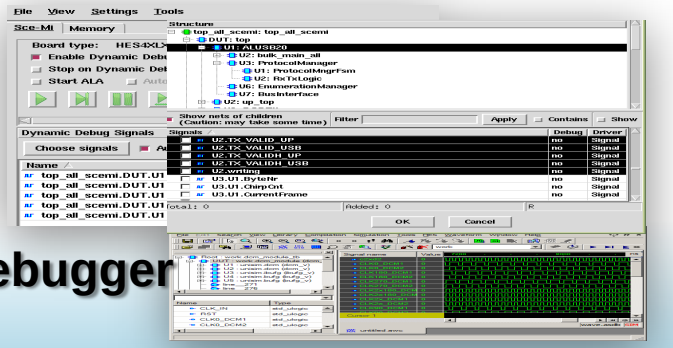
HES - Hardware Emulation Solutions



DVM

Prototyping Boards





HW Debugger

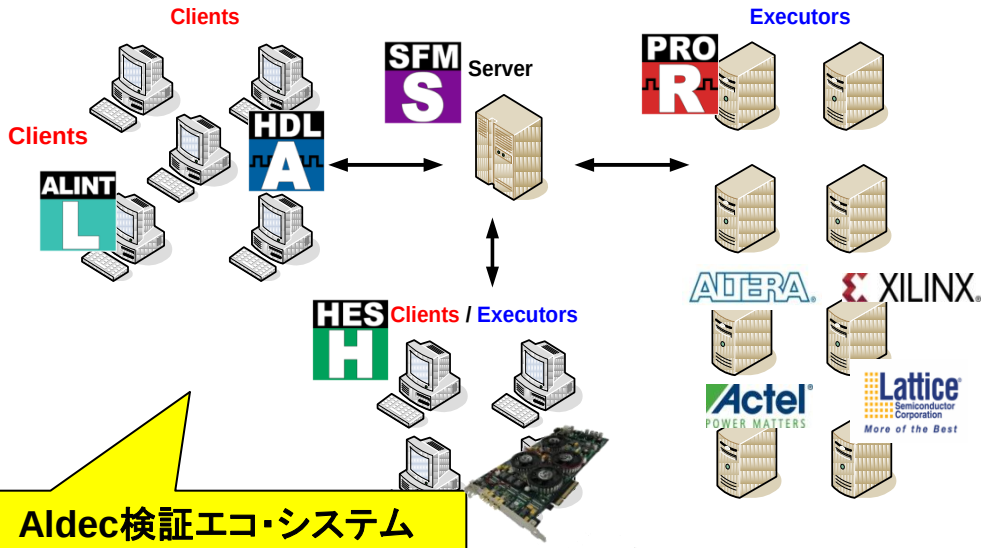
www.aldec.co.jp

まとめ

- 実際のシリコン無しでHW/SWインテグレーションを早期に開始
- ソフトウェアをハードウェアの作成前に十分に検証できる
- ハードウェアの問題が発見された場合、ハードウェアの変更を行うことができる
- インサーキットのエミュレーションはドライバ、OS、アプリケーションのテストに必要な数MHzの速度を提供
- インサーキットのエミュレーションはシリコンでのプロトタイプと比較して優れた観測性と制御性を提供
- ロジック・シミュレーション、アクセラレーション、エミュレーションのプラットフォームをFPGAプロトタイプ・ボードと共に提供

Aldec HES – Hardware Emulation Solutions

ALDECが提供するEDAツール群



Aldec検証エコ・システム
概念図

Aldec社について

- 1984年設立、HQ は米国ネバダ州
- 自己資本にて設立、利益を投資して成長
- 社員 160名以上
- 最先端の検証テクノロジを開発・提供
- 全世界で40,000以上のライセンスを販売
- 複数のキー・テクノロジ特許を所持
- ダイレクト・オフィス
  - 日本、中国、台湾、フランス、インド、イスラエル

Riviera-PRO :高速シミュレーション／デバッグ／アサーション、OVM/UVM 検証環境

ALINT :STARCルールをサポートするリントツール、PBL手法をサポート

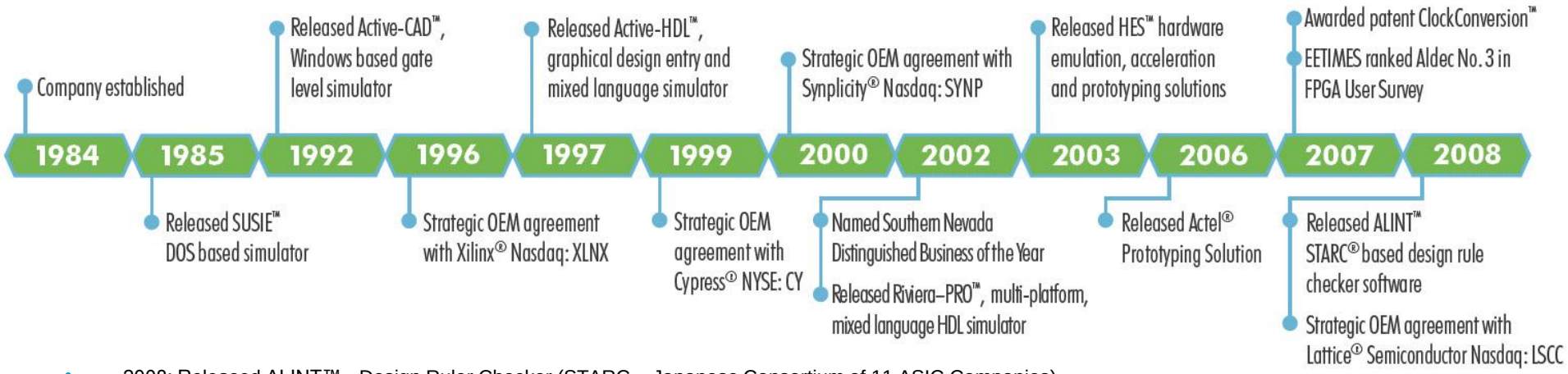
HES :ハードウェア・アシスト・シミュレーション、エミュレーション環境、
全自動コンパイル（クロック変換とFPGA分割）、Matlab実機動作検証

Active-HDL :デザイン・エントリ、ドキュメント生成、波形エディタ、リビジョン管理

SFM :ジョブおよびライセンス・マネンジメント環境

www.aldec.co.jp

マイルストーン



- 2008: Released ALINT™ - Design Ruler Checker (STARC – Japanese Consortium of 11 ASIC Companies)
- 2007: Released DO254-CTS (Compliance Tool Set)
- 2007: Signed Strategic OEM agreement with Lattice® Semiconductor Nasdaq: LSCC
- 2007: Released Actel Prototyping Solution – RTAX-S Antifuse to Flash device
- 2006: EETIMES Ranked Aldec no. 3 in FPGA User Survey (behind Synplicity and Altera)
- 2006: Awarded Patent ClockConversion™ (ASIC Clocks to FPGA Technology Conversion)
- 2005: Released Optimized Verilog Simulator, based on support 32 and 64-bit Simulation Technology
- 2004: Released SystemVerilog and SystemC System Level Design Tools
- 2003: Released HES™ Hardware Emulation, Acceleration and Prototyping Solutions
- 2002: Released Riviera-PRO™: Common Kernel, Multi-platform Mixed HDL Software Simulator
- 2002: Named 2002 Southern Nevada Distinguished Business of the Year, Nevada Economic Commission
- 2000: Signed Strategic OEM agreement with Synplicity® Nasdaq: SYNP
- 1999: Signed Strategic OEM agreement with Cypress® NYSE: CY
- 1997: Released Active-HDL™: Graphical Design Entry and Mixed Language Simulator
- 1996: Signed Strategic OEM agreement with Xilinx® Nasdaq: XLNX
- 1992: Released Active-CAD™ a windows based Schematic and gate level Simulator
- 1985: SUSIE™ (Standard Universal Simulator for Improved Engineering), DOS-Based
- 1984: Company Established

特定分野向けソリューション

- Actel プロトタイピング・ソリューション
  - RTAX-S/SL, AX, RTSX-SU/SX-A デバイスとピン互換な ProASIC3E 搭載アダプタボード
  - アンチフューズ→フラッシュ
    EDIFネットリスト・コンバージョンツールを提供

- DO-254 CTS (Compliance Tool Set)
  - 航空機器アプリケーション向け基準の
    DO-254準拠のためのツールセットを提供

お問合わせ先

- 製品についてのお問合せ先
  - アルデック・ジャパン株式会社
  - E-mail　: sales-jp@aldec.com
  - TEL　　: 03-5312-1791
- Webサイト
  - http://www.aldec.co.jp/
- イベント情報
  - http://www.aldec.co.jp/company/events/
- Webデモンストレーション
  - http://www. aldec.com/Events/default.aspx