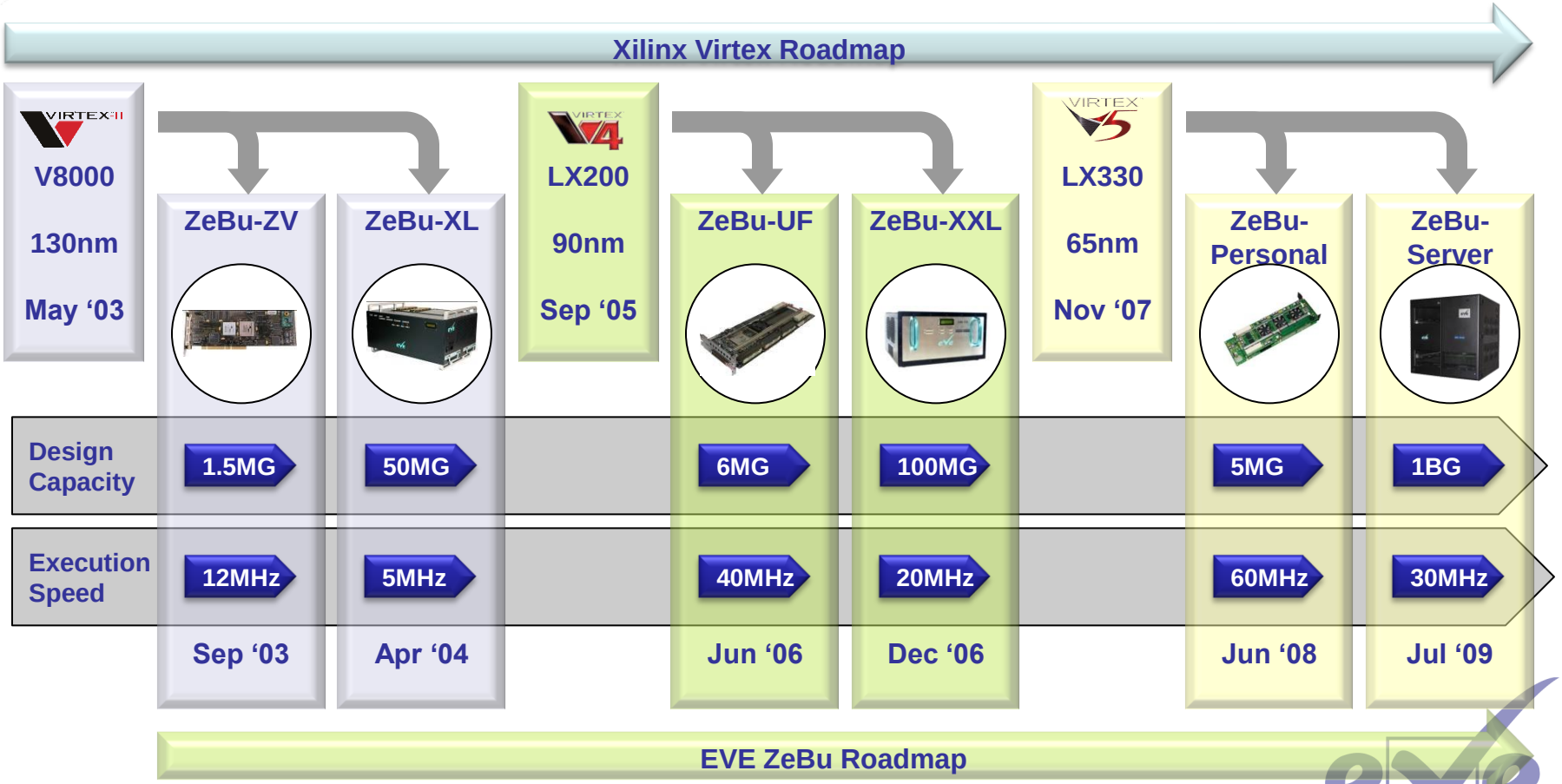
Gen3対応！
PCI-Express採用SoCの検証も
ZeBuにおまかせください！

Big emulators come in small packages

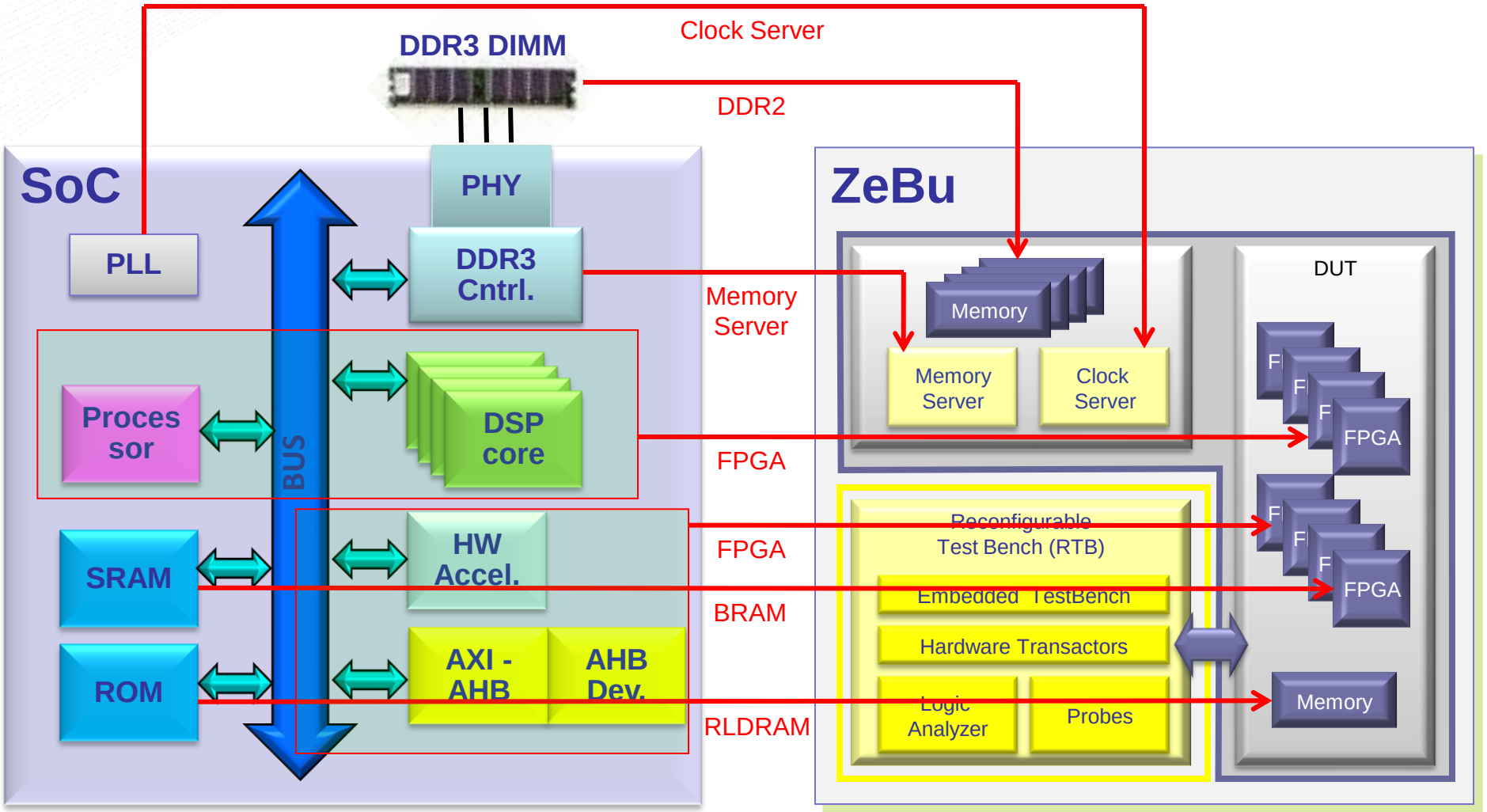
ZeBuとは?

- 汎用FPGAをベースにすることで優れた投資対効果と革新性を実現した論理エミュレータです



Copyright © 2011 EVE

デザインのZeBuへのマッピング



Copyright © 2011 EVE

ZeBuができること

Digital TV

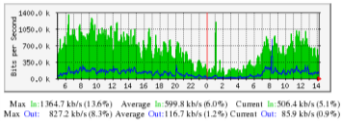
Image Data

OS development

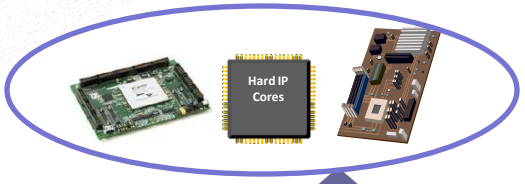
Ethernet

Video Processing

Wireless/Mobile



Networking



DirectICE

Custom Transactor

C/C++ SV | HDL (BFM)

ZEMI-3

DPI-C

Vertical Solutions

C/C++ API | IP

ICE (In-Circuit Emulation)

Virtual Platform

Firmware Development

SVA

Assertion-based Verification

STB

ZeBu-Server

Simulation Acceleration

Random/ Coverage Verification

HW/SW Co-verification

ESL Co-emulation

JTAG/Serial Transactor

IP | C/C++ API

Smart ZICE

ESL co-emulation

HDL (BFM) | API (TLM)

ESL + RTL/netlist/IP

SYSTEMC

CO-SIMULATION

COSIM

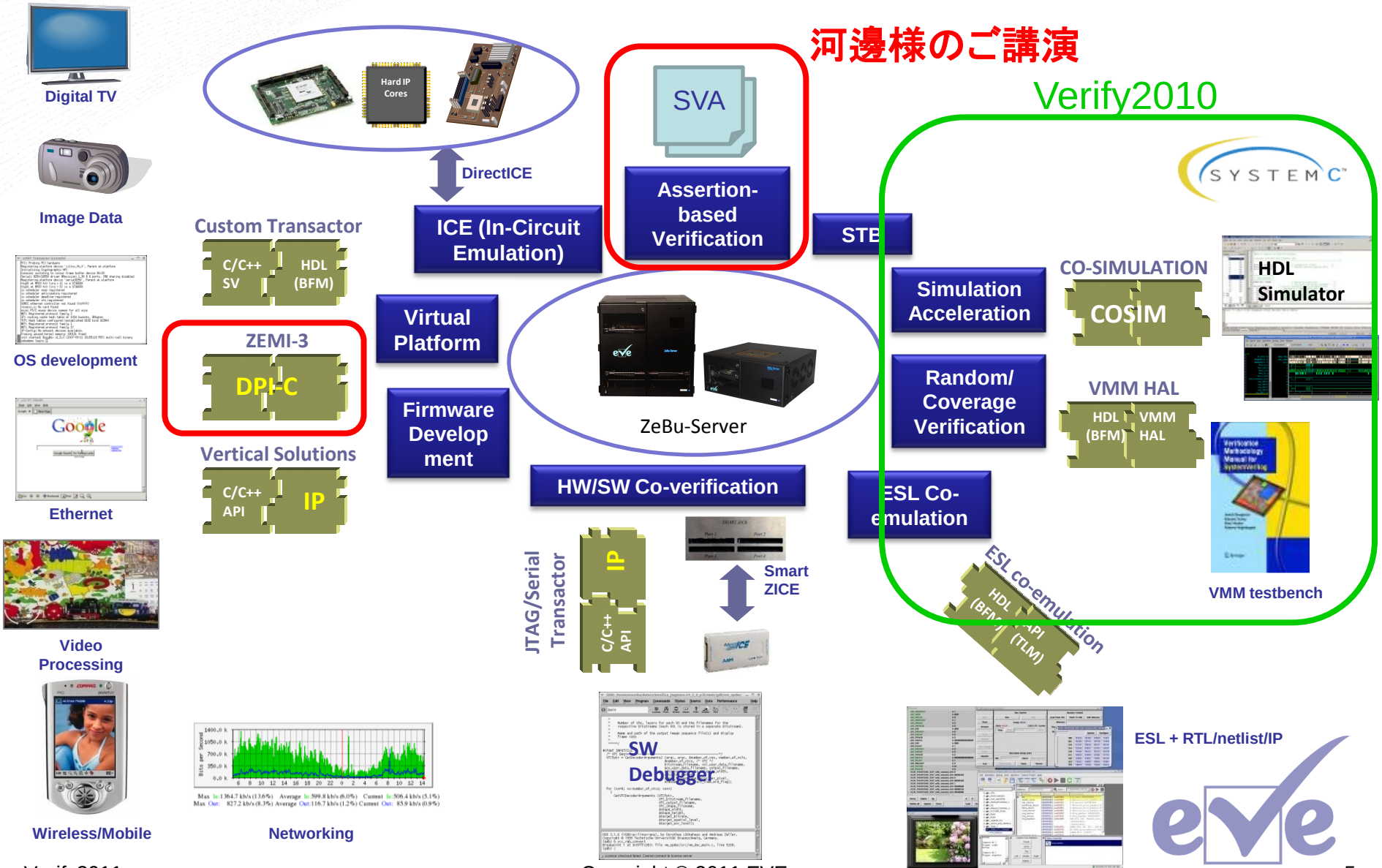
VMM HAL

HDL (BFM) | VMM HAL

VMM testbench

Copyright © 2011 EVE

これまでの講演内容



Copyright © 2011 EVE

本講演のテーマ

Digital TV

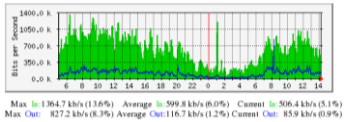
Image Data

OS development

Ethernet

Video Processing

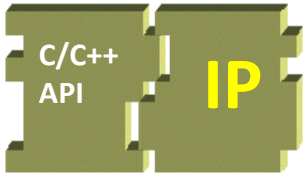
Wireless/Mobile



Networking

PCI EXPRESS™

Vertical Solutions



Simulation Acceleration

Virtual Platform

ZeBu-Server

Copyright © 2011 EVE

みなさんの周りでは？

- PCI-Expressをこれから導入する?
- すでに導入済み?
  - Gen1?
  - Gen2?
  - Gen3?

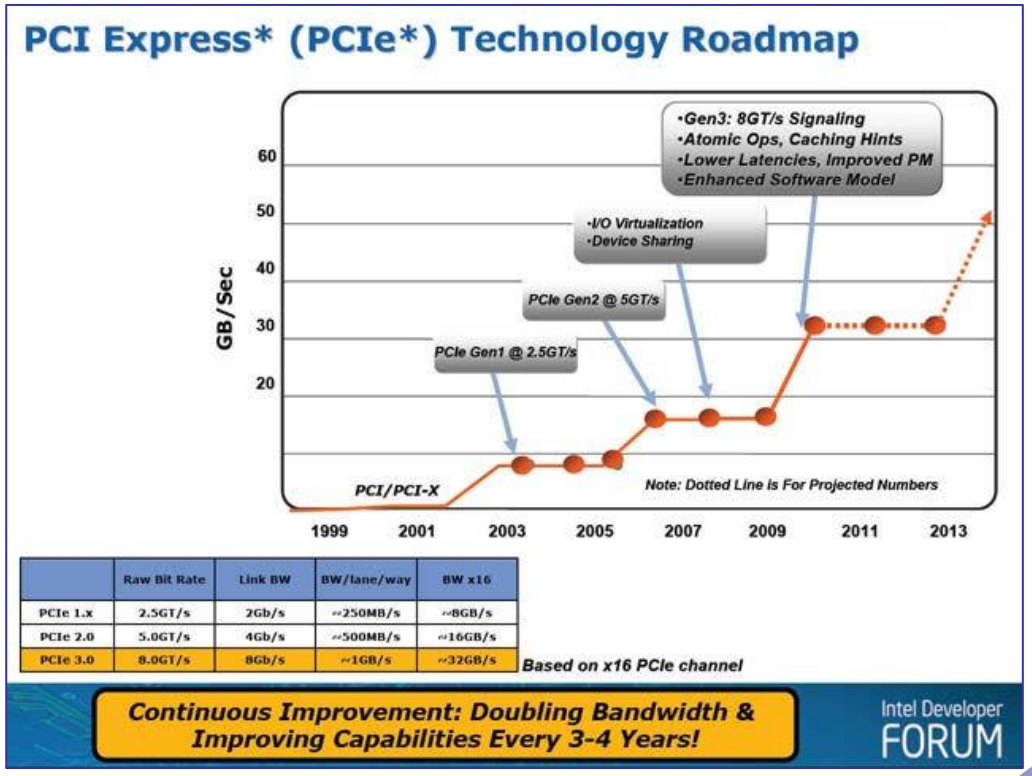
Copyright © 2011 EVE

なぜ今、PCI-Express?

- データ転送帯域幅への要求UP

	Raw Bit Rate
PCIe 1.x	2.5GT/s
PCIe 2.0	5.0GT/s
PCIe 3.0	8.0GT/s

T/s : Transfer / sec



http://pc.watch.impress.co.jp/docs/2009/0310/interface01_02.jpg

Copyright © 2011 EVE

PCI-Express豆知識

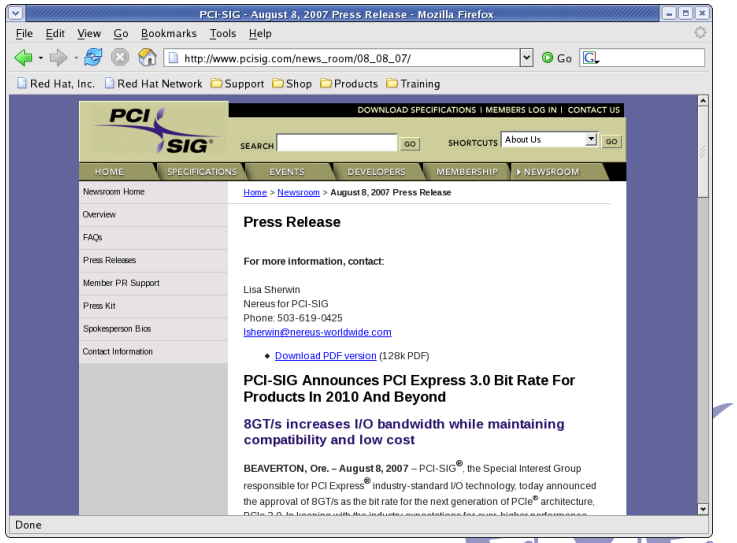
	Raw Bit Rate
PCIe 1.x	2.5GT/s
PCIe 2.0	5.0GT/s
PCIe 3.0	8.0GT/s

＝ 2倍

＝ 1.6倍

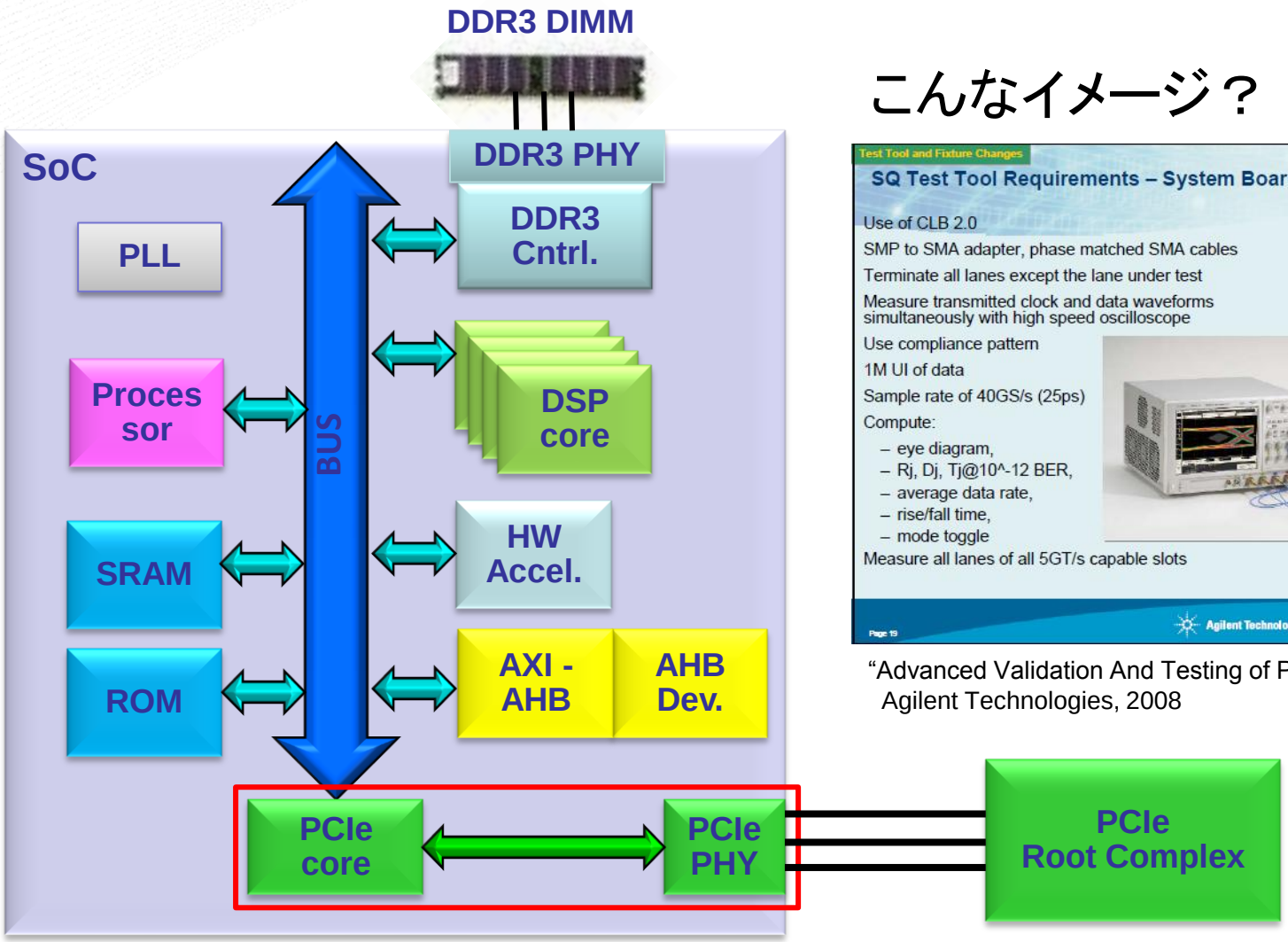
当初PCI ExpressのSpecificationを策定するPCI-SIGでは、単純に信号の速度を倍にする10GT/sの検討を行なっていた。ところがシ ミュレーションを掛けてみると、10GT/sのままでは既存の配線を流用した場合、ほとんど通信がまともに行なえない事が判明したからである。

http://pc.watch.impress.co.jp/docs/2009/0310/interface01.htm

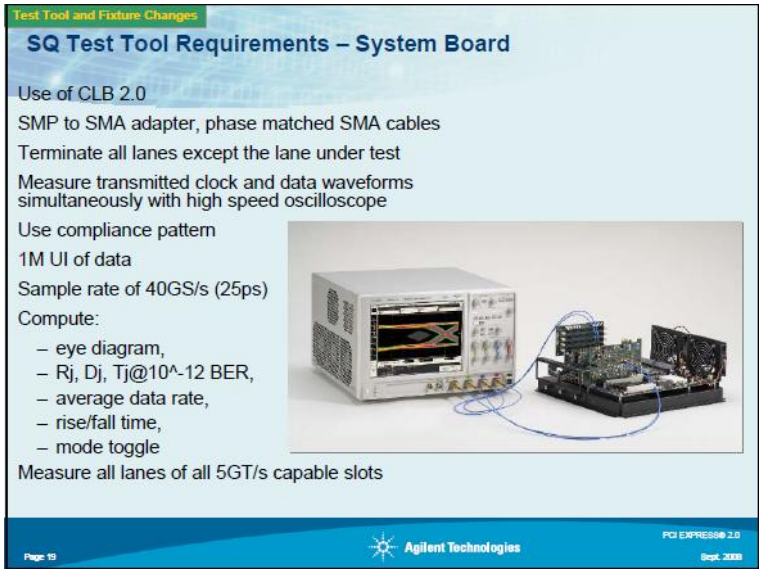


Copyright © 2011 EVE

PCI-Expressコアの導入例



こんなイメージ？



"Advanced Validation And Testing of PCI Express Gen 2", Agilent Technologies, 2008

Copyright © 2011 EVE

コアIP導入が一般的

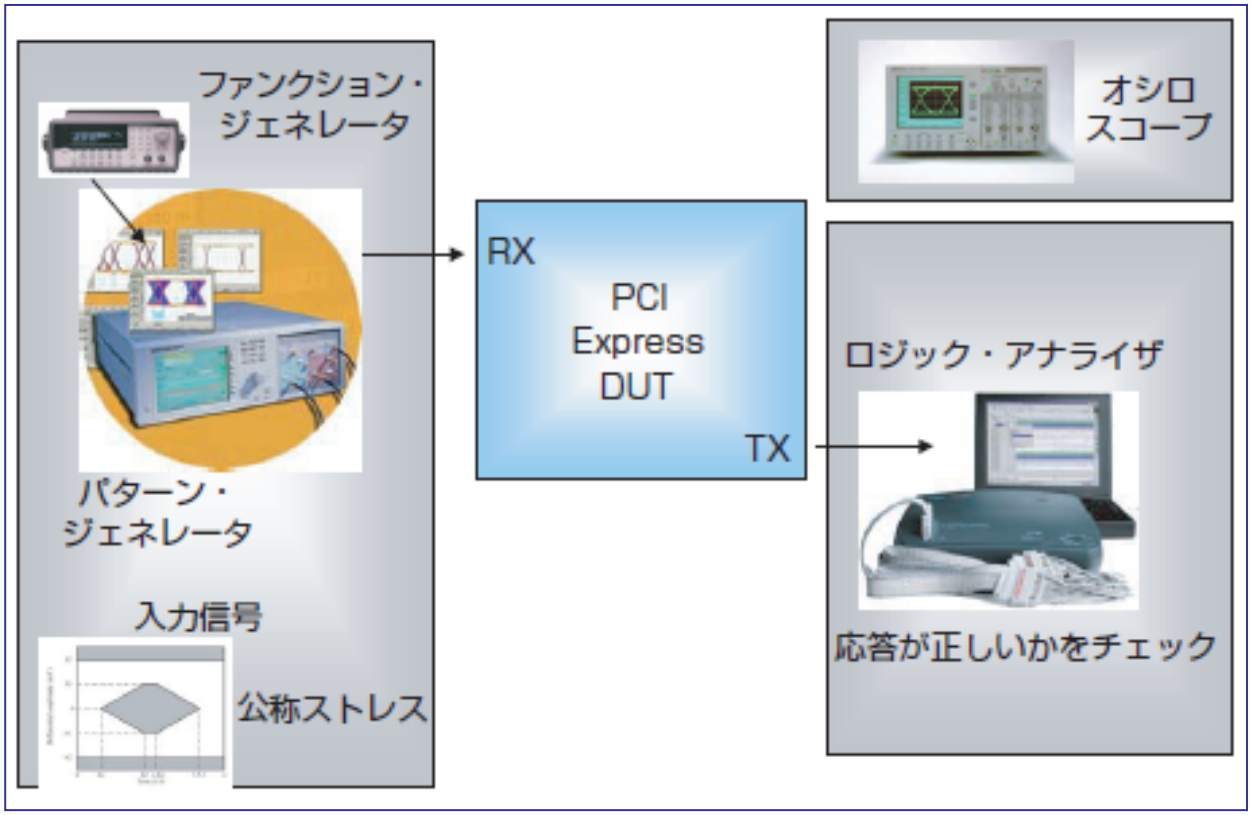
- 設計としてはリーズナブル
- 論理検証環境はどうする？
  - HDLシミュレーション用の対向モデル？
    - チップ全体検証には不向き
      - HDLシミュレーションは遅すぎる
        - » シミュレーションでは大量のデータを流したテストは無理
  - FPGA？
    - PIPE 3.0 インタフェースで最高1000MHzの高速信号
      - デバッグには高度な測定技術が必要

本講演では
PHYを含む検証は
議論しません

Copyright © 2011 EVE

FPGAを用いたPCIe検証環境例

- 高価な測定機器が必要

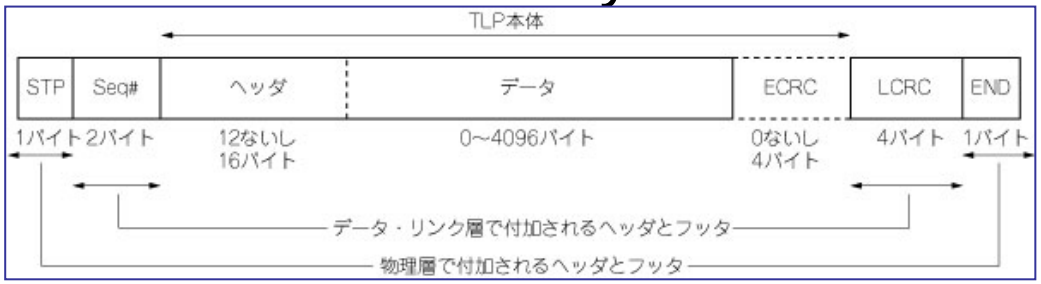


"81133A/81250によるPCI Express RXデザインの検証",
アジレント・テクノロジー株式会社, 2002

Copyright © 2011 EVE

PCIeデバッグのポイント

- TLPだけを見ない！
  - TLP : Transaction Layer Packet



http://www.kumikomi.net/archives/2009/07/ippci_expressfpgaip.php?page=2

  - データだけに着目するのが難しい！
  - PCIe手前の元データで見ないと生産性が上がらない！
- FPGAを用いた環境では困難

Copyright © 2011 EVE

PCIe論理検証用モデルの比較

Gap

	HDL-sim IPベンダ提供 対向モデル	HDL-sim 汎用検証IP	FPGA プロトタイプ
調達コスト	安価/無償: (IPにバンドル)	高価?	高価?
性能	低 (～10KHz?)	低 (～10KHz?)	高 (～数百MHz)
立上げ期間	即 or 短 (IPに最適化済)	中 (IPに合わせた調整要)	長
使い易さ, デバッグ性	高	高	低
必要な 外部機器	HDL シミュレータ	HDL シミュレータ	PCIe用 測定機器

Copyright © 2011 EVE

ZeBu PCIe検証環境の位置付け

	HDL-sim IPベンダ提供 対向モデル	HDL-sim 汎用検証IP	ZeBu PCIe 検証環境	FPGA プロトタイプ
調達コスト	安価/無償: (IPにバンドル)	高価?	高価? (サイズに依る)	高価?
性能	低 (～10KHz?)	低 (～10KHz?)	中 (～10MHz)	高 (～数百MHz)
立上げ期間	即 or 短 (IPに最適化済)	中 (IPに合わせた調整要)	中 (IPに合わせた調整要)	長
使い易さ, デバッグ性	高	高	高 (HDL-sim同等)	低
必要な 外部機器	HDL シミュレータ	HDL シミュレータ	ZeBu, PCIeトランザクタ	PCIe用 測定機器

Copyright © 2011 EVE

ZeBuができること

- PCIeでのチップレベル検証が現実に
  - 実RTLでの大量かつ複雑なデータフローを検証できる！
  - 負荷テストの実行
- 性能検証
  - サイクル精度を実現
  - チップレベル実効性能の精確な見積り
- 転送エラー挿入制御

Copyright © 2011 EVE

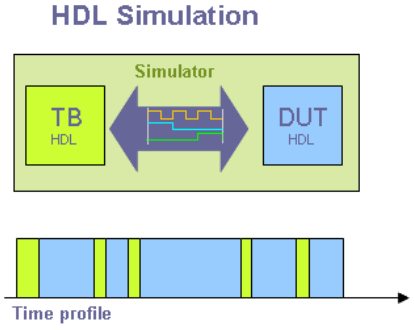
EVE PCI-ExpressトランザクタIP

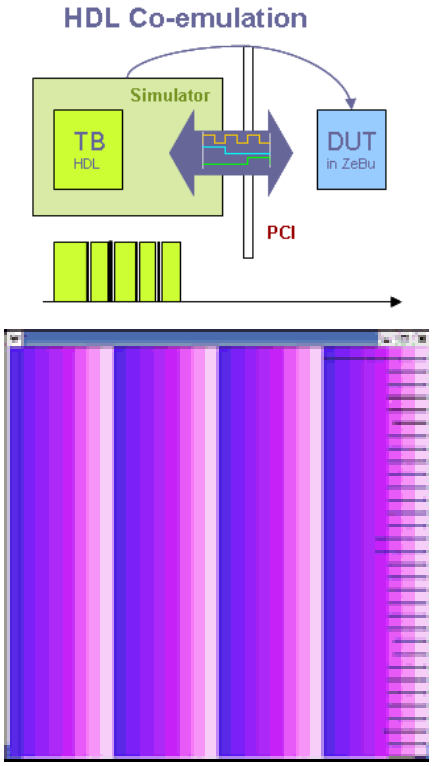
- ZeBuに特化
  - HDLシミュレーションモデルも提供
- Gen1, Gen2サポート仕様
  - Root Complex および Endpoint 対応
  - インタフェース
    - Lane数: 1, 4, 8, 16
    - パラレル、PIPE
    - VC (Virtual Channel)
- ECRC, 転送エラー挿入機能あり

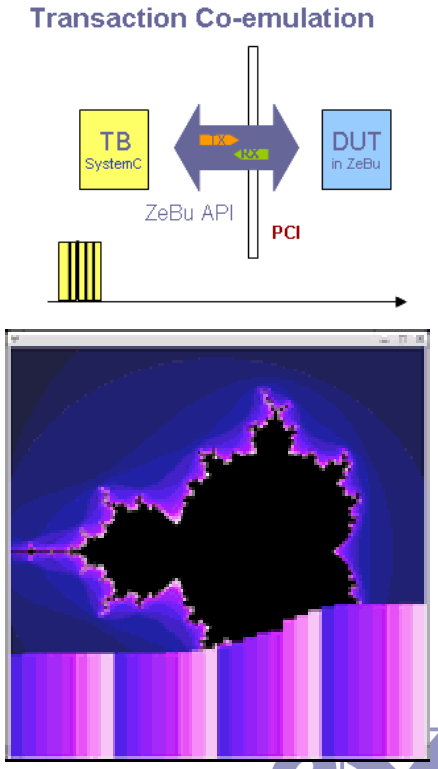
Copyright © 2011 EVE

ZeBuトランザクション・レベル検証は速い!

- 高速なトランザクション・レベル検証
  - ZeBuならではの、MHz級の性能を実現できます







Copyright © 2011 EVE

EVEはPCI-Express Gen3対応!

- DAC2011で発表、出荷可能
- PIPE 3.0 spec v0.9 互換
- Root Complex および Endpoint 対応
- インタフェース
  - Lane数: 4, 8
- テストベンチはGen1/2と互換

Copyright © 2011 EVE

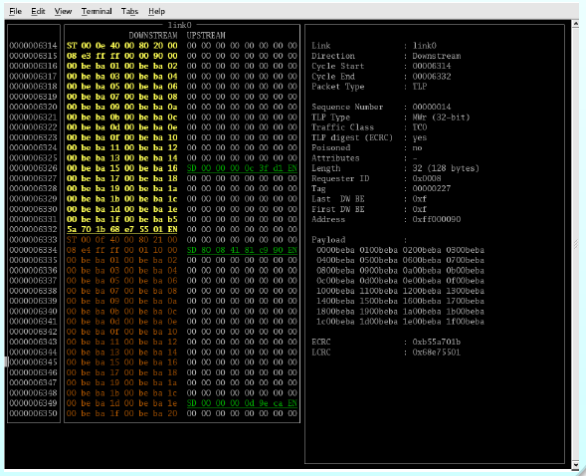
アナライザは必要か？

- EVE PCIeトランザクタは
  トランザクションビューア付き
  - 測定機器不要
    - プロトコルアナライザ等への投資、トレーニング不要
  - TLPを簡単に把握可能
  - ダンプ対応
  - デスクランブル処理対応

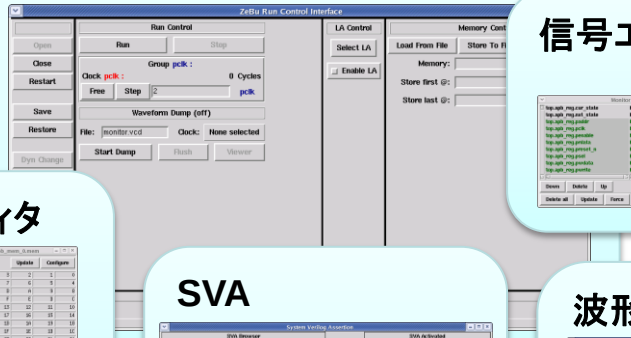
Copyright © 2011 EVE

ZeBu PCIe環境のイメージ

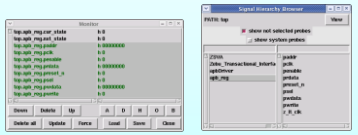
PCIeトランザクションビューア



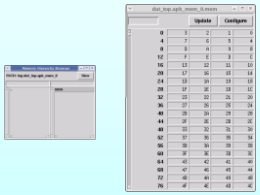
実行制御インタフェース



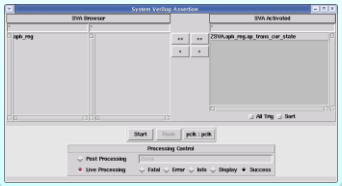
信号エディタ



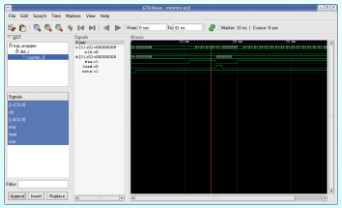
メモリエディタ



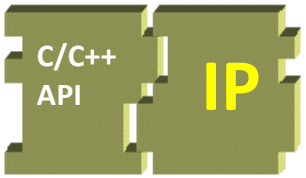
SVA



波形ビューア



Vertical Solutions



ZeBu-Server

Copyright © 2011 EVE

PCIeトランザクタによる検証

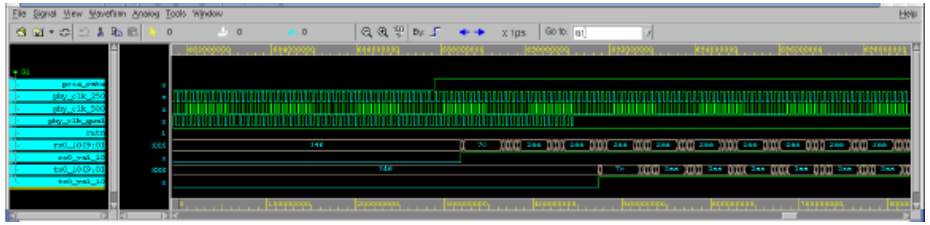
- テストベンチのサンプル (Root Complex)

```
// リンク･トレーニング終了を待つ
pcie->runBFM(PCIE::SeqRunUntilTrainingDone);
while(!pcie->waitBFMStatusChange(RC_Status));
pcie->isTrainingDone();

// 自動的にリンク速度のネゴシエーションを自動実行
//    (PCI Express 1.x  <=>  PCI Express 2.0)

// リンク幅のネゴシエーションを自動実行
//    (アップトレーニング / ダウントレーニング)

// システム検証開始
pcie->writeCfgBFM(0x00FF2830,0x22,0,0,0);
pcie->sendTLP(1);
    … 略
```

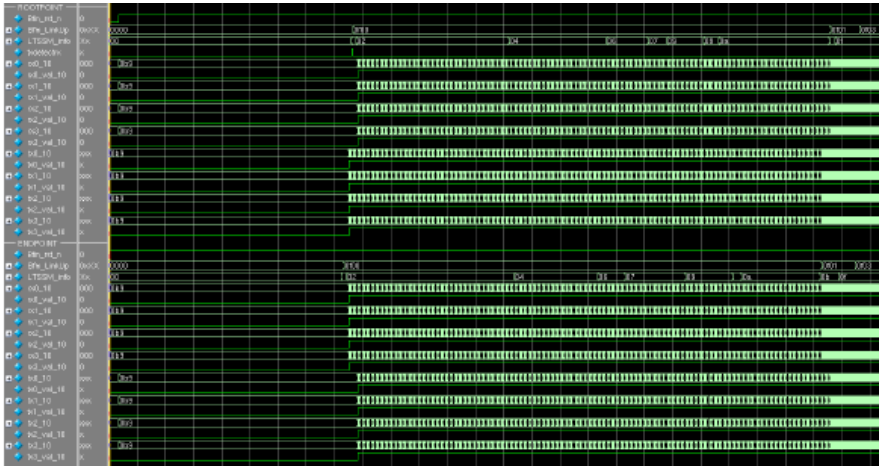

Copyright © 2011 EVE

PCIe Gen2トランザクタ実行波形

- リセットシーケンス



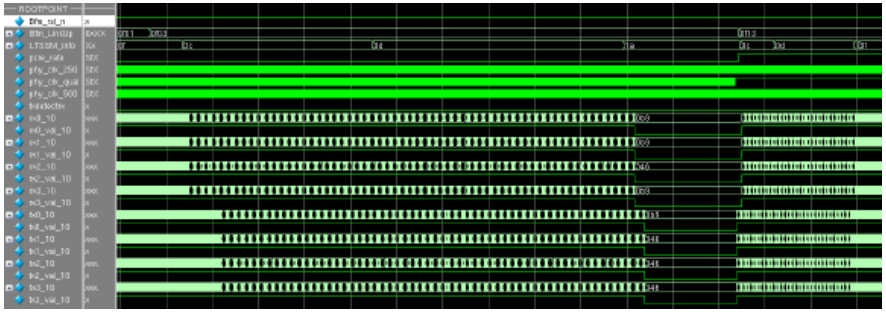
- リンクトレーニング



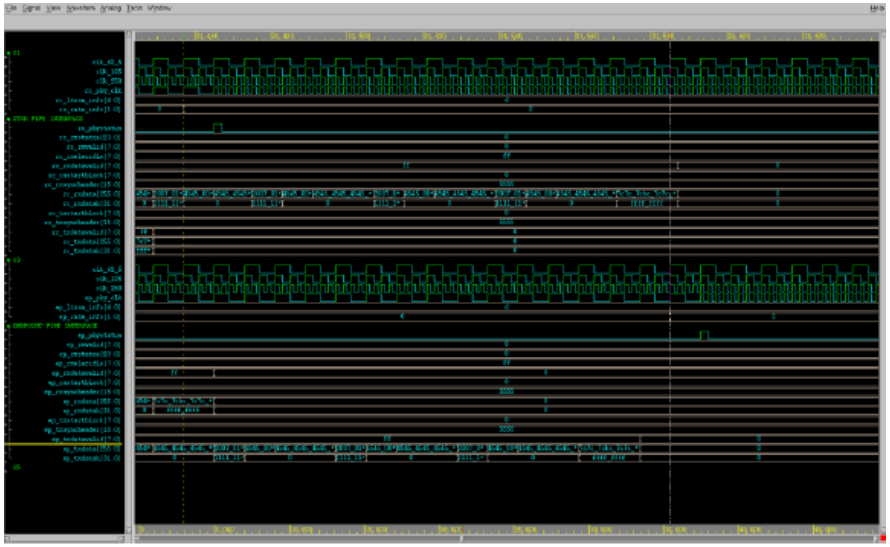
Copyright © 2011 EVE

リンク速度ネゴシエーションの波形

- Gen2



- Gen3



Copyright © 2011 EVE

ZeBuはESLにも強い！

Digital TV

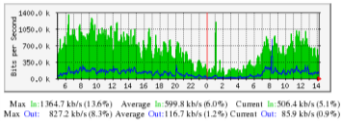
Image Data

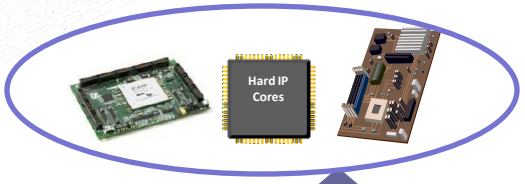
OS development

Ethernet

Video Processing

Wireless/Mobile


Networking



DirectICE

Custom Transactor

C/C++ SV | HDL (BFM)

ZEMI-3

DPI-C

Vertical Solutions

C/C++ API | IP

ICE (In-Circuit Emulation)

Virtual Platform

Firmware Development

SVA

Assertion-based Verification

STB

ZeBu-Server

Simulation Acceleration

Random/ Coverage Verification

HW/SW Co-verification

JTAG/Serial Transactor

IP | C/C++ API

Smart ZICE

SYSTEMC

CO-SIMULATION

COSIM

VMM HAL

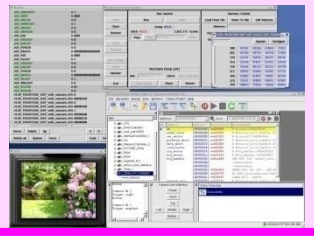
HDL (BFM) | VMM HAL

VMM testbench

ESL Co-emulation

ESL co-emulation

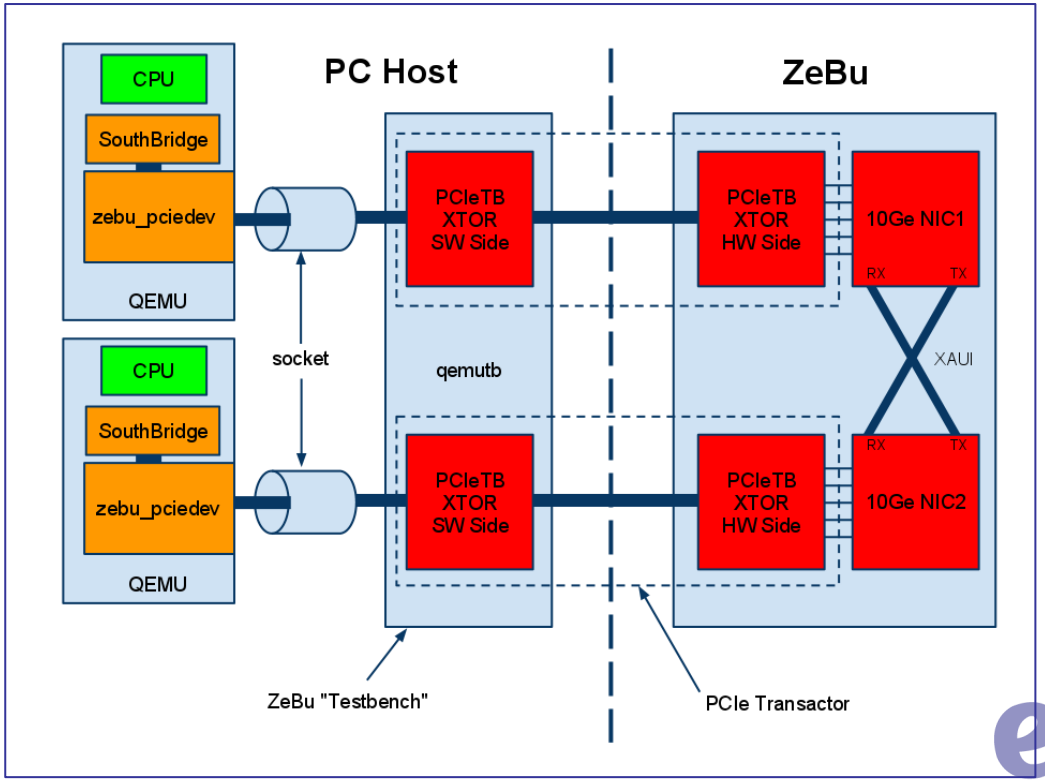
HDL (BFM) | API (TLM)


ESL + RTL/netlist/IP

Copyright © 2011 EVE

ESL、HW/SW協調検証への発展

- QEMUでISSを実行
- PCIeトランザクタと接続



Copyright © 2011 EVE

まとめ

デモ
展示中！

- 速くて使い易いPCI-Express論理検証環境
  - 高価・複雑な測定機器は不要
    - PC環境と論理エミュレータだけで構成
      - 専用トランザクションビューアもサポート
  - デバッグのしやすさ
    - 完全な再現性
    - サイクルレベル精度
    - 全ての信号/メモリを可制御・可観測
  - ESLやHW/SW協調検証への発展

Copyright © 2011 EVE

Thank you!

Big emulators come in small packages